

?s,pn=jp 59000275
S1 1 PN=JP 59000275
?t s1/5/all

1/5/1
DIALOG(R) File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

01288675 **Image available**
SMEAR CORRECTING CIRCUIT OF SOLID STATE IMAGE PICKUP ELEMENT

PUB. NO.: 59-000275 A]
PUBLISHED: January 05, 1984 (19840105)
INVENTOR(s): MIYATA KATSURO
ASAIDA TAKASHI
APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 57-109360 [JP 82109360]
FILED: June 25, 1982 (19820625)
INTL CLASS: [3] H04N-005/21; H04N-005/30
JAPIO CLASS: 44.6 (COMMUNICATION -- Television)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,
CCD & BBD)
JOURNAL: Section: E, Section No. 237, Vol. 08, No. 78, Pg. 158, April
10, 1984 (19840410)

ABSTRACT

PURPOSE: To prevent color balance from being varied, by supplying an output signal of a solid state image pickup element to a level comparator, and reducing a correcting quantity of a smear correction or stopping its correction, in a non- linear area, by its output.

CONSTITUTION: An output signal from a solid state image pickup element is digitized and supplied to a comparator 18. As for a switching circuit 20, its state is controlled by an output of the comparator 18. The comparator 18 compares an image pickup output from an A/D converter 15 with a reference level from a terminal 22, and when the image pickup output does not exceed the reference level, the circuit 20 becomes a state for selecting an input terminal 21A, and when it exceeds, said circuit becomes a state for selecting an input terminal 21B. Accordingly, in the range where the image pickup output is smaller than the reference level, a smear signal is subtracted from the image pickup output and the smear correction is executed. Also, when said output becomes larger, a signal to a subtracting circuit 12 becomes "'0'", and the smear correction is not executed.

?

⑨ 日本国特許庁 (JP)
 ⑩ 公開特許公報 (A)

⑪ 特許出願公開
 昭59-275

⑤ Int. Cl.³
 H 04 N 5/21
 5/30

識別記号 厅内整理番号
 6940-5C
 6940-5C

⑥ 公開 昭和59年(1984)1月5日
 発明の数 1
 審査請求 未請求

(全 5 頁)

⑦ 固体撮像素子のスマア補正回路
Smear correction circuit of solid-state image pickup element
 ⑧ 特 願 昭57-109360
 ⑨ 出 願 昭57(1982)6月25日
 ⑩ 発 明 者 宮田克郎
 厚木市旭町4丁目14番1号ソニ
 一株式会社厚木工場内

⑪ 発明者 浅井田貴
 厚木市旭町4丁目14番1号ソニ
 一株式会社厚木工場内
 ⑫ 出願人 ソニー株式会社
 東京都品川区北品川6丁目7番
 35号
 ⑬ 代理人 弁理士 杉浦正知

applicant
 SONY

明細書

1 発明の名称 固体撮像素子のスマア補正回路

2 特許請求の範囲

固体撮像素子の出力信号をレベル比較器に供給し、撮像光に比例した出力が得られる線形領域と撮像光に対して出力が略々飽和する非線形領域との境界に対応する基準レベル及び上記出力信号を比較し、上記レベル比較器の出力により上記非線形領域では、スマア補正の補正量を減少又はスマア補正を停止するよう構成された固体撮像素子のスマア補正回路。

3 発明の詳細な説明

この発明は、CCDやMOSなどの固体撮像素子のスマア補正回路に関する。

固体撮像素子のひとつであるCCDは、第1図において、1で示す感光部と2で示す蓄積部と3で示す出力レジスタとから構成されている。蓄積部2及び出力レジスタ3には、斜線図示のように、マスクが施されており、感光部1に対してレンズ

等を介された撮像光が入射する。この感光部1及び蓄積部2の夫々は、垂直方向のCCDのチャンネルを有しており、3相(2相又は4相でも良い)のクロソクによってドライブされ、信号電荷を垂直方向に転送する。

この第1図に示す構成は、フレーム転送方式として良く知られているように、ある1/フィールド期間で感光部1で信号電荷の蓄積が行なわれ、垂直プランギング期間内の短い時間に、この電荷が垂直方向で並列に蓄積部2に転送される。蓄積部2に貯えられた電荷は、水平プランギング期間に1/水平区間(1/H)に相当する分だけ出力レジスタ3に転送され、この出力レジスタ3から順次読み出されて出力される。蓄積部2から出力レジスタ3に對して1/フィールド分の信号電荷が転送される間に、感光部1には、次のフィールドの信号電荷が貯えられる。

この1/フィールド分の電荷を感光部1から蓄積部2に転送する間に、感光部1に明るい撮像光が入射していることによつてスマアが生じる。第2

図を参照してこのスミアの発生について説明する。第3図Aは、ある像(図示せず)が感光部1に入射しており、そのうちで領域領域4Aで示された明るい像が存在していることを示している。この明るい像によつて照射された感光部1のCCDには、対応する電荷が蓄積する。次に、垂直ブランディング期間内で感光部1から蓄積部2に對して高速で電荷が転送される。この時には、明るい像が投射されたままであるから、第3図Aにおいて5Aで示す領域に形成されていた電位の井戸が明るい像の下を走る。

感光部1から蓄積部2に対する転送速度は、かなり高速であるが、明るい像によつてある量の電荷が発生して電位の井戸に蓄積される。その結果、この転送期間が終了した時には、第2図Bに示すように、感光部1の領域4Aから転送された電荷が領域4Bに貯えられており、蓄積部2の領域5Bには、領域5Aと対応してスミア電荷が存在する。また、感光部1の領域5Cにもスミア電荷が存在する。この領域5Cは、明るい像の下を移

動したが、蓄積部2までは到達していない電位の井戸である。

更に、次のフィールドにおいて、同様に感光部1で電荷が蓄積されると共に、蓄積部2から電荷が出力レジスタ3に転送され、出力レジスタ3から順次出力される。この次のフィールドが終了した時点では、第3図Cに示すように蓄積部2の領域5Dにもスミア電荷が発生する。

このようなスミア電荷が存在しているために、出力レジスタ3の出力をカーラーエンコードしてモニター受像機に加えると、第3図において点線領域として示すスミアが発生する。

最初の転送後の再生像は、第3図Aに示すものとなる。つまり、領域4Aに入射したのと対応する明るい像6の下方に領域5Bと対応したスミア7B(点線領域)が発生する。次の転送後では、第3図Bに示すように、領域5B及び5Dに対応したスミア7B及び7Dが現れる。第3図Aの表示は、ノフィールドだけ現われ、通常は、見ることができず、第3図Bに示す再生像が見える。

このようなスミアを補正するために、第4図に示す構成のものが既に提案されている。この第4図に示すように、感光部1の最初に読み出されるノーマーク線に対してマスクを施す。また、出力レジスタ3の出力がプリアンプ8とスイッチ9とを介してレジスタ10に供給される。このレジスタ10には、循環ループを形成するためのスイッチ11が設けられており、レジスタ10にノーマーク線分の情報が書き込まれて後は、この情報がスイッチ11を介して循環することでホールドされる。

感光部1のマスクされている領域には、スミア信号のみが貯えられており、このスミア信号がレジスタ10に取り込まれる。次に、スイッチ9及び11が第4図に示す状態から切り替わつて、演算回路12に対し出力レジスタ3からの映像信号(スミア信号を含む)とレジスタ10からのスミア信号とを供給することによつて、出力端子13には、スミア信号が除去された映像信号が得られる。

ところで、CCDは、取扱い電荷量によつて所定

レベル V_R 以上の映像出力を発生することができる。第5図において、 S_1, S_2, S_3 は、スミア信号を示し、 S_4 は、明るい像と対応する映像信号を示しており、この映像信号 S_4 は、スミア信号 S_1 に重畳されている。映像信号 S_4 は、本来、 A_1 の振幅を有しているが、取扱い電荷量と対応する所定レベル V_R 以上となることができない。したがつて、スミア信号を計算すると、この映像信号 S_4 の振幅が A_2 に減少してしまうことになる。この所定レベル V_R は、入射光量と出力信号とがリニアな関係にある範囲を示しており、この所定レベル V_R を越えると、入射光量に対し、出力信号が略々飽和する非線形領域となる。更に、CCDの出力信号が供給されるプリアンプの特性によつても、映像信号が所定レベル以上で飽和するようになされている。

この発明は、上述のよう、スミア補正によつて映像信号の振幅が小さくなり、輝度が低下する問題点を解決するようになしたものである。

以下、この発明の一実施例について第6図を参照して説明する。第6図において、14は、CCD

からの撮像出力が供給される入力端子を示し、この撮像出力が A/D コンバータ 15 によってデジタル化され、スイッチ回路 18 の一方の端子 17A とレベル比較器 18 と減算回路 12 に供給される。

スイッチ回路 18 の端子 17A を介してデジタル化されたスマート信号の 1 ライン分がメモリ 19 に書き込まれる。このメモリ 19 としては、前述のようを循環ループを有するレジスタ、RAMなどの構成のものを使用できる。このメモリ 19 から読み出されたスマート信号がスイッチ回路 16 の他方の端子 17B に取り出され、更に、スイッチ回路 20 の一方の入力端子 21A に供給される。このスイッチ回路 20 の他方の入力端子 21B は、接地されている。このスイッチ回路 20 の出力が減算回路 12 に供給される。

スイッチ回路 20 は、レベル比較器 18 の出力によつてその状態が制御される。このレベル比較器 18 は、 A/D コンバータ 15 からの撮像出力と端子 22 からの基準レベルとを比較し、撮像出力

が基準レベルを越えないときには、スイッチ回路 20 が入力端子 21A を選択する状態となり、逆に撮像出力が基準レベルを越えるときには、スイッチ回路 20 が入力端子 21B を選択する状態となる。

したがつて、撮像出力のレベルが基準レベルより小さい範囲では、第 4 図のスマート補正回路と同様に、減算回路 12 において、撮像出力からスマート信号が差引かれ、スマート補正を行なうことができる。また、撮像出力が基準レベルより大きくなるときには、減算回路 12 に刻する信号が 0 となり、スマート補正が行なわれない。

第 7 図は、この発明の他の実施例を示すものである。この例では、減算回路 12 によつて常にスマート補正を行ない、スイッチ回路 23 の一方の入力端子 24B に A/D コンバータ 15 の出力を供給すると共に、その他方の入力端子 24A に減算回路 12 の出力を供給し、このスイッチ回路 23 の状態をレベル比較回路 18 の出力によつて制御するようとしたものである。 A/D コンバータ 15 か

らの撮像出力が基準レベルより小さいときでは、入力端子 24A が選択され、そうでないときは、入力端子 24B が選択される。

また、第 8 図は、メモリ 19 を上述と同様にデジタルメモリの構成とすると共に、このメモリ 19 の読み出し出力を D/A コンバータ 25 に供給してアナログ信号に戻すようにした実施例を示す。したがつて、この第 8 図では、レベル比較回路 18、減算回路 12、スイッチ回路 23 として、アナログ信号を扱う構成のものが用いられる。

この第 8 図に示す実施例では、 A/D コンバータ 15 がスマート信号だけをデジタル化すれば良いから、撮像信号をデジタル化するのと比べて、ビット数の減少を図ることができ、また、同一ビット数を用いれば、量子化ステップを細かくでき、精度を上げることができる。

第 9 図は、上述と同様に、 A/D コンバータ 15 及び D/A コンバータ 25 を設け、スマート信号だけをデジタル化する構成としている。この A/D コンバータ 15 及び D/A コンバータ 25 の基準とし

て、スマート信号のピークレベルを用いるようにしている。このため、入力信号がピークホールド回路 26 に供給され、この出力が A/D コンバータ 15 及び D/A コンバータ 25 に基準信号として供給される。

この第 9 図に示す構成において、入力端子 14 に対して第 10 図 A に示す撮像信号が供給された場合について説明する。撮像信号のノフィールドの最初の 3H の期間には、スマート信号だけが現れる。これは、感光部 1 のうちで、1 ライン分の領域がマスクされているからである。ノフィールドの最初のタイミングでもつて、第 10 図 B に示すリセットパルス Pr が発生し、これによつてピークホールド回路 26 がリセットされる。次に、第 10 図 C に示すホールドパルス Ph によつて、撮像信号がサンプルホールドされて、スマート信号のピーク値に応じたサンプルホールド出力（第 10 図 D）がピークホールド回路 26 から発生する。

このサンプルホールド出力が A/D コンバータ 15 に基準信号として供給され、次の水平区間に

特許昭59-275 (4)

色バランス(カラー映像信号の場合)が変化することを防止することができる。

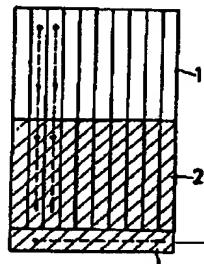
各図面の簡単な説明

第1図は従来のCCDの一例の説明に用いる略線図、第2図及び第3図はスミア発生の説明に用いる略線図、第4図及び第5図は従来のスミア補正回路の説明に用いるプロック図及び波形図、第6図、第7図、第8図及び第9図はこの発明の各実施例を示すプロック図、第10図は第9図に示すこの発明の実施例の説明に用いる波形図である。

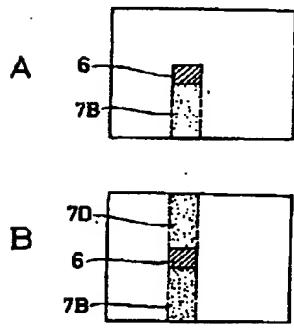
1……感光部、2……蓄積部、3……出力レジスタ、12……算算回路、13……出力端子、14……入力端子、18……レベル比較回路、19……メモリ。

代理人 梅浦正知

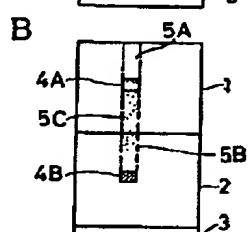
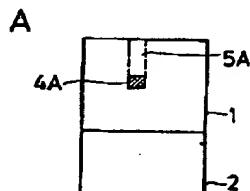
第1図



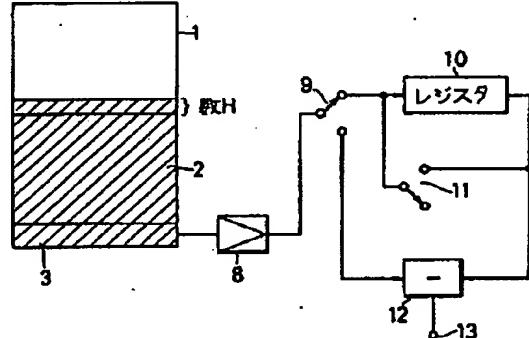
第3図



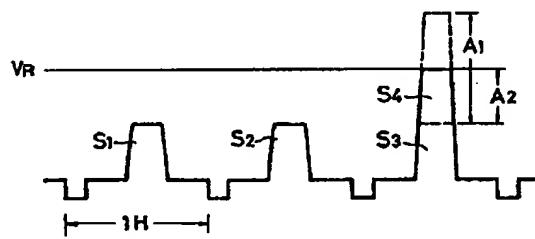
第2図



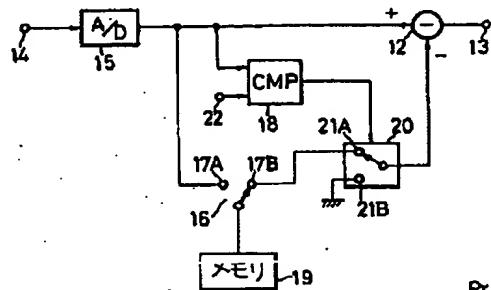
第4図



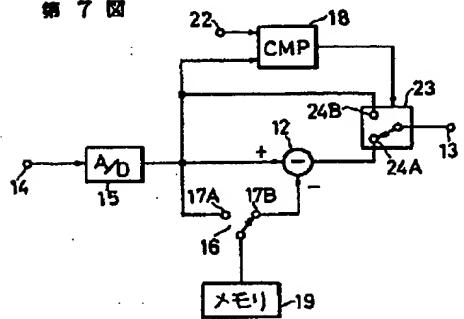
第5図



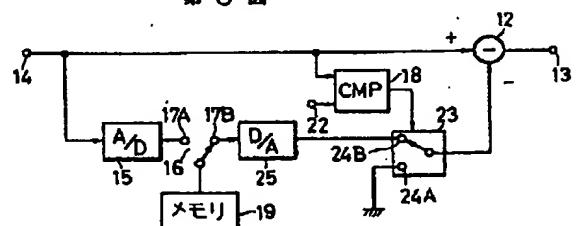
第 6 図



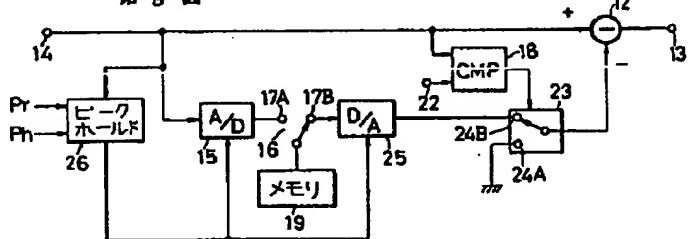
第 7 図



第 8 図



第 9 図



第 10 図

